

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-044872

(43)Date of publication of application : 16.02.1999

(51)Int.Cl. G02F 1/133
G02F 1/13
H03M 1/66

(21)Application number : 09-215918

(71)Applicant : NEC CORP

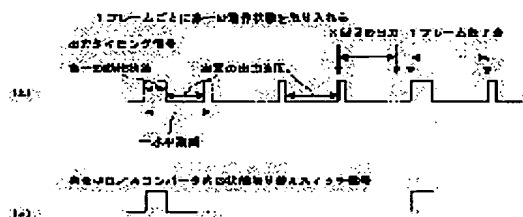
(22)Date of filing : 25.07.1997

(72)Inventor : ABE KATSUMI

(54) SEMICONDUCTOR DEVICE FOR DRIVING LIQUID CRYSTAL**(57)Abstract:**

PROBLEM TO BE SOLVED: To obtain a source driver capable of impressing a voltage of high accuracy in a short horizontal period for the purpose of the higher fineness and higher gradation of an active matrix TFT type liquid crystal display device by executing offset cancellation once in one frame, thereby prolonging the actual driving time in each horizontal period.

SOLUTION: A switched capacitor type D/A converter (SC-DAC) having the offset cancellation function in the source driver switches first and second operation states by obtaining signal at every one frame or every several horizontal periods. In the first operation state, the SC-DAC accumulates the charges for the offset voltage components of the operational amplifier in the SC-DAC in the respective capacitors in the SC-DAC. In the second operation state after the end of the first operation state, the SC-DAC impresses analog voltage to liquid crystals according to the inputted digital data. The first operation state is executed just once in the one frame with this apparatus, by which the second operation state may be attained in the most periods during the one horizontal period.

**LEGAL STATUS**

[Date of request for examination]

25.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3097612

[Date of registration]

11.08.2000

[Number of appeal against examiner's decision of rejection]

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開平11-44872
 (43)【公開日】平成11年(1999)2月16日
 (54)【発明の名称】液晶駆動用半導体装置
 (51)【国際特許分類第6版】

G02F 1/133 550
 1/13
 H03M 1/66

【FI】

G02F 1/133 550
 1/13
 H03M 1/66 E

【審査請求】有**【請求項の数】5****【出願形態】FD****【全頁数】13**

(21)【出願番号】特願平9-215918

(22)【出願日】平成9年(1997)7月25日

(71)【出願人】

【識別番号】000004237**【氏名又は名称】日本電気株式会社****【住所又は居所】東京都港区芝五丁目7番1号**

(72)【発明者】

【氏名】安部 勝美**【住所又は居所】東京都港区芝五丁目7番1号 日本電気株式会社内**

(74)【代理人】

【弁理士】**【氏名又は名称】加藤 朝道****(57)【要約】**

【課題】アクティブマトリックスTFT型液晶表示装置の高精細・多階調化のために精度の高い電圧を短い水平期間で印加できるソースドライバの提供。

【解決手段】アクティブマトリックス型液晶表示装置駆動用のソースドライバにおける、高精度化のためのオフセットキャンセル機能を持つSC-DACにおいて、オフセットキャンセルを1フレームに一度行うことにより、各水平期間における実際の駆動時間を長くして、精度の高い電圧を液晶に印加できるようにする。

【特許請求の範囲】

【請求項1】内部にオフセットキャンセル機能をもつスイッチドキャパシタ型デジタルーアナログコンバータ(「SC-DAC」という)を備え、オフセットキャンセル機能を液晶表示装置の1フレームに一度動作させ、他の各水平期間ではオフセットキャンセル動作を行わせなくても、精度のよいアナログ電圧を出力できる、ようにしたことを特徴とするTFTアクティブマトリックス型液晶表示装置駆動用の半導体装置。

【請求項2】内部にオフセットキャンセル機能をもつスイッチドキャパシタ型デジタルーアナログ

コンバータ(「SC-DAC」という)を備え、オフセットキャンセルを液晶表示装置の数水平期間に一度動作させ、他の各水平期間ではオフセットキャンセル動作を行わなくても、精度のよいアナログ電圧を出力できる、ようにしたことを特徴とするTFTアクティブマトリックス型液晶表示装置駆動用の半導体装置。

【請求項3】外部からの出力タイミング信号をカウントする回路と、タイミング発生回路と、を備えたことを特徴とする請求項1又は2記載のTFTアクティブマトリックス型液晶表示装置駆動用の半導体装置。

【請求項4】アクティブマトリックス型液晶表示装置駆動用のソースドライバにおける、高精度化のためのオフセットキャンセル機能を持つスイッチドキャパシタ型デジタルーアナログコンバータ(「SC-DAC」という)において、前記SC-DAC内の演算増幅器のオフセット電圧を記憶する第一の動作状態を1フレームに一度または数水平期間に一度のみ行うようにし、その後、デジタルデータ入力に合わせて出力する第二の動作状態を行い、他の各水平期間では、前記第二の動作状態のみ行うように制御する手段を備えたことを特徴とするTFTアクティブマトリックス型液晶表示装置駆動用の半導体装置。

【請求項5】前記第一の動作状態と前記第二の動作状態をともに実行する水平期間と、前記第二の動作状態のみ実行する水平期間とが、外部からの信号又は内部で水平期間をカウントすることにより区別される、ことを特徴とする請求項4記載のTFTアクティブマトリックス型液晶表示装置駆動用の半導体装置。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリックス型液晶表示装置に関し、特に、TFTアクティブマトリックス型液晶表示装置に画素信号を送出する液晶駆動用半導体装置に関する。

【0002】

【従来の技術】マトリックス型液晶表示装置として、液晶パネル内にアドレス用のTFT(薄膜トランジスタ)をマトリックス上に組み込むことによって表示を得るTFTアクティブマトリックス型液晶表示装置が現在主流である。

【0003】図10は、TFTアクティブマトリックス型液晶表示装置の構成を示す図である。また図11に、液晶表示パネルの内部構成を示す。TFTアクティブマトリックス型液晶表示装置の駆動には、画素信号を送出するソースドライバ14と、線順次走査を行うための走査信号を送出するゲートドライバ13と、が用いられる。

【0004】ゲートドライバ13は、画像信号から信号変換回路12を通して生成される行電極走査のためのタイミング信号に従って、TFTのゲート電極に電圧を印加する。その動作は、1水平期間(走査期間)Hとすると、Hをパルス値とする走査信号を1行ずつ走査電極に印加し、パネル上のTFTを行ごとに順々にオン状態にすることである。ただし1水平期間(走査期間)Hは、行電極の1フレーム(全走査期間)をT、行電極数をNとすると $H=T/N$ で与えられる。

【0005】画像信号は、信号変換回路12とγ補正回路11により液晶の電圧-透過率特性に応じた交流駆動信号に変換され、ソースドライバ14は変換された信号に応じた電圧を、ゲートドライバ13によりオン状態となったTFT(図11参照)を通して液晶に印加する。この動作をすべての行電極分繰り返すことにより、すべての画素の液晶に適当な電圧を印加することができる。上記動作を行電極分繰り返した時間が1フレームとなる。ただし、1フレーム期間Tは、人が線順次走査を認識できない時間でなければならず、1水平期間Hは液晶層の容量C1cにかかる電圧がソースドライバにより印加される電圧となる時間より長くする必要がある。

【0006】TFTアクティブマトリックス型液晶表示装置において、階調表示は液晶に印加する電圧を変えることで実現している。上下の偏光板との間に挟まれた液晶の電気的光学的性質により、液晶に加えられた電圧に従って、光の透過率変動する。

【0007】このため、液晶パネルの背後のバックライトから液晶パネルを透過する光の明暗=階調は、液晶に印加される電圧により決定される。液晶パネルを透過する光をRGB(赤・緑・青)のカラーフィルタに通すことにより多色表示を実現している。例えば、階調が64階調の場合は、 $R \times G \times B = 64 \times 64 \times 64 = 26$ 万色表示可能であり、256階調の場合は、1678万色(フルカラー)表示が可能である。

【0008】現在、TFTアクティブマトリックス型液晶表示装置の多色化(多階調化)・高精細化が進んでいる。

【0009】液晶の電圧-透過率特性によれば、透過率が中間レベルの場合、電圧のわずかな変化に対し、透過率が大きく変動する。多階調を実現するためには、液晶が期待される透過率を持つような、精度の高い電圧を液晶層に印加できなくてはならない。

【0010】例えば、64階調レベルでは、印加電圧の精度は ± 10 mVを必要とし、テレビに匹敵する多色表示となる256階調では ± 5 mVの精度を必要とする。

【0011】ところで、ソースドライバの出力に使用されている演算増幅器のオフセット電圧は、同一チップ内でも数mVのばらつきがある。例えば、パネルに同一階調を表示させる場合、液晶の電圧-透過率特性に従って、各画素にはソースドライバから同じ電圧が印加されるはずである。しかし、各画素に電圧を印加するソースドライバ内の各演算増幅器のオフセット電圧が異なる際には、画素間でオフセット電圧分異なる電圧が印加されるため、液晶の透過率に違いが現れる。

【0012】階調数が多いときには、わずかな液晶の透過率の違いが表示装置における階調の違いとなって現れ、表示装置の品質を落とす。従って、多階調化を進めるためには、オフセット電圧を無視できるようなオフセットキャンセル機能を持つ必要がある。

【0013】ところで、高精細化は、画素数を増加することにより細かな表示を可能にすることである。その際、行電極数が増加するため、1水平期間を短くしなくてはならない。例えば、XGA

(extended graphics array)表示(画素数 1024×768)の場合、1水平期間は約 $18 \mu s$ 以下である必要があり、S-XGA表示(画素数 1280×1024)の場合では、1水平期間を約 $13 \mu s$ 以下としなければならない。

【0014】従って、多色化・高精細化を同時に実現するためには、ソースドライバは、精度の高い電圧を短い時間で液晶装置に印加できなければならない。

【0015】次に、現在一般的に用いられているソースドライバについて説明する。

【0016】現在用いられているソースドライバは、デジタル入力／アナログ出力が中心である。デジタル入力／アナログ出力型のソースドライバのブロック図を図12に示す。外部から階調に応じたデジタル信号を入力し(64階調なら6ビット、256階調なら8ビットデジタルデータである)、クロックに同期して全出力分のデジタルデータを順々にレジスタに格納する。その後、全データをラッチ3でラッチするとともに、液晶の電圧－透過率特性と適合するレベル電源電圧入力を持つデジタル－アナログ変換回路(D/Aコンバータ)4を通して、前記デジタル入力に対応したアナログ電圧を出力する。D/Aコンバータ4には出力タイミング信号及びレベル電源／基準電源が入力される。

【0017】オフセットキャンセル機能を持つ、容量を用いたD/Aコンバータの回路の一例を図13に示す。この形式のD/Aコンバータは、「スイッチドキャパシタ型D/Aコンバータ」(「SC-DAC」という)と呼ばれるものである。現在のところ、SC-DACは、オフセットキャンセル機能をシンプル(簡易)な形で持つことができ、チップサイズの面でも最もバランスの取れたD/Aコンバータである。図13を参照すると、この回路の構成は、アナログ入力としてレベル電源V1、V2と基準電源電圧Vrを備え、入力デジタルデータのビット数と対応する比を持つ入力容量C0～Cnと出力に接続される出力容量Cosを持つ。さらに、入力容量と出力容量を並列接続した配線を反転入力とし、基準電源電圧Vrを非反転入力とする演算増幅器15と、入力デジタルデータに従ってレベル電源V1、V2と入力容量との接続を変えるスイッチS1～Sn、SC-DACの動作状態を切り替えるSW1～SW5を持つ。

【0018】図13に示したSC-DACの回路動作について以下に説明する。

【0019】第一の動作状態として、出力端子OUTを介して外部負荷に接続されているスイッチSW2がオフされた後に、出力容量Cosに接続されているスイッチSW1の他端を、演算増幅器15の非反転入力となっている基準電源電圧Vrと接続し、スイッチSW3をオンする。さらに、スイッチSW4がオフし、スイッチSW5がオンするとともに、スイッチS1～Snを、デジタル入力信号のビット数に合わせて重みづけられた容量C0～Cnが基準電源電圧VrとスイッチSW5を通して接続するように、切り替える。この状態におけるD/Aコンバータを図14に示す。

【0020】このとき、演算増幅器15はボルテージフォロウとして働き、反転入力端ノードである α 点の電圧 V_α は理想的には演算増幅器15の非反転入力に接続されている基準電源電圧Vrとなる。実際には、演算増幅器15がオフセット電圧を持っているため、 α 点での電圧は、基準電源電圧Vrに前記演算増幅器15のオフセット電圧 ΔV を加えたものとなる。

【0021】つまり、この動作状態では、出力容量Cos、C0～Cnに、演算増幅器15のオフセット電圧分の電荷を蓄積させることになる。この時の α 点での波形を図15に示す。

【0022】図15に示す通り、この動作状態において、演算増幅器15(図14参照)は出力容量Cos、入力容量C0～Cn等を負荷として持つボルテージフォロウを構成している。ここで、Cos、C0～Cnは液晶パネルの負荷に対して、チップサイズの制限上かなり小さく、 $1/20$ 程度の大きさである。演算増幅器15は、液晶パネルの負荷に合わせて駆動能力を決定するため、回路内の軽い負荷に対してはリングングし易くなる。このため、 α 点における電圧 V_α が安定するためには、数 μs 時間を必要とする。

【0023】図15を参照すると、 α 点における電圧 V_α が安定した後、スイッチSW1を演算増幅器15の出力と接続するとともに、スイッチSW3をオフする。さらに、スイッチSW5をオフ、スイッチSW4をオンした後に、スイッチS1～Snをデジタル入力データに合わせてレベル電源入力V1、またはV2に接続する。引き続き、スイッチSW2をオンして、液晶パネル負荷に電圧を印加する。この状態におけるD/Aコンバータの回路を図16に示す。この時、 α 点での電圧は、容量Cosを通してボルテージフォロウが成立しているため、基準電圧Vrと演算増幅器15のオフセット電圧 ΔV の和となる。

【0024】上記第一の動作状態を左辺とし、上記第二の動作状態を右辺とすると、 α 点における全電荷保存式は次式(1)となる。

【0025】

$$\{(V_r + \Delta V) - V_r\}nC + \{(V_r + \Delta V) - V_r\}(a - n)C + \{(V_r + \Delta V) - V_r\}xC = \{V_\alpha - V_1\}nC + \{V_\alpha - V_2\}$$

$$(a - n)C + (V_\alpha - V_{out})xC \cdots (1)$$

【0026】ここで、 $Coc = xC$ 、 $n = 1 \sim N - 1$ 、 $a = N$ (C は単位容量値)とし、出力電圧を V_{out} とする。

【0027】 $V_\alpha = V_r + \Delta V$ を代入して、 V_{out} について解くと次式(2)となる。

【0028】

$$V_{out} = (1 + a/x) V_r - (a/x) V_2 - n/a \{ (V_1 - V_2) x/a \} \cdots (2)$$

【0029】以上のように、D/Aコンバータは、1水平期間内で、第一の動作状態において演算増幅器15のオフセット電圧を各容量に記憶し、第二の動作状態において、記憶されたオフセット電圧分の電荷をデジタル入力に合わせて再分配することで、入力した電圧を、上式(2)に従って増幅したアナログ電圧を出力する。

【0030】上記したSC-DACの動作のタイミングチャートを図17に示す。図17(A)の出力タイミング信号は、液晶パネル負荷との接続に関するスイッチSW2の切り替えに対応する。図17(B)のSC-DAC状態切り替えスイッチ信号は、スイッチSW1、SW3、SW4、SW5の接続の切り替えやオン/オフに関する信号のタイミングを示しており、このタイミングに従って、第一の動作状態と第二の動作状態が切り替えられる。

【0031】上記第一の動作状態について既に説明したように、SC-DACをボルテージフォロフとして構成し、軽い負荷 Coc と $C0 \sim Cn$ にオフセット電圧分の電荷を蓄積するためには、3～5 μs の時間が必要とされる。

【0032】一方、液晶パネル上の負荷に、精度のよい電圧を印加するためには、10 μs 程度の時間を必要とする。従って、XGA表示の場合の1水平期間18 μs の時には、十分液晶パネル上の負荷に電圧を印加できる。しかし、S-XGA表示の場合には、1水平期間が13 μs 以下である必要があるため、以上のような動作のSC-DACを用いて駆動することはできない。

【0033】

【発明が解決しようとする課題】以上説明したように、TFTアクティブマトリックス型液晶表示装置の高精細化が進むにつれ、1水平期間を短縮する必要がある。S-XGA表示では、1水平期間を13 μs 以下にしなければならない。

【0034】一方、多色化(多階調化)を実現するためには、精度の面でソースドライバ内の演算増幅器のオフセット電圧が問題となるが、オフセットキャンセル回路を用いることで高精細化が可能となる。

【0035】SC-DACの場合、演算増幅器をボルテージフォロフとして用い、オフセット電圧を容量に蓄積してオフセットキャンセルを実現するが、オフセット電圧を容量に蓄積するのに3～5 μs かかる。さらに、液晶パネル上の負荷に電圧を印加するのに10 μs 程度必要とするため、多色化を可能とする高精度の電圧を液晶に印加するための1水平期間は、SC-DACの場合、約18 μs 程度である必要がある。

【0036】多色化かつ高精細化を進めるためには、上記2条件を満足する必要があるが、現状の多色化と高精細化のための条件は矛盾する。従って、現在の方法では、S-XGA表示での多階調化を実現することはできない。

【0037】したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、TFTアクティブマトリックス型液晶表示装置の多色化かつ高精細化を実現するための、アクティブマトリックス型液晶表示装置を駆動するソースドライバを提供することにある。

【0038】

【課題を解決するための手段】前記目的を達成するため本発明のTFTアクティブマトリックス型液晶表示装置駆動用のソースドライバは、TFTアクティブマトリックス型液晶表示装置の多色化かつ高精細化に対応して、短い水平期間で精度の高い電圧を液晶に印加することができるようにしたものであり、より具体的には、ソースドライバ内のオフセットキャンセル機能を持つSC-DAC回路において、SC-DAC内の演算増幅器のオフセット電圧を記憶する第一の動作状態を1フレームに一度または数水平期間に一度のみ実現し、その後、デジタルデータ入力に合わせて出力する第二の動作状態を実現する一方、他の各水平期間では、第二の動作状

態のみ実現する手段を有する。

【0039】さらに、前記SC-DACの動作状態の切り替えは、外部から信号を得て実現する手段、または内部で水平期間数をカウントする手段を有することで実現される。

【0040】[発明の概要]ソースドライバ内のオフセットキャンセル機能を持つSC-DACは、1フレームまたは、数水平期間ごとに信号を得て、第一の動作状態と第二の動作状態を切り替える。

【0041】第一の動作状態で、SC-DACは、SC-DAC内の容量を駆動するボルテージフォロフとして働き、3～5 μ sの時間でSC-DAC内の各容量にSC-DAC内の演算増幅器のオフセット電圧分の電荷を蓄積する。第一の動作状態が終了した後に、第二の動作状態において、入力されるデジタルデータに従ってアナログ電圧を液晶に印加する。

【0042】他の水平期間においては、第二の動作状態のみ実現する。

【0043】前記第一の動作状態と第二の動作状態をともに実行する水平期間と、第二の動作状態のみ実行する水平期間は、外部からの信号又は内部で水平期間をカウントすることにより区別する。

【0044】以上の動作の結果、第二の動作状態のみを行う場合には、1水平期間が13 μ s以下の時でさえも、精度の高い電圧を液晶に印加することができる。一方、1フレームごとの第一の動作状態と第二の動作状態を行う水平期間では、フレーム間では時間がとれるため、精度の高い電圧を液晶に印加することができる。また数水平期間ごとの第一の動作状態と第二の動作状態を行う水平期間では、1フレームごとに第一の動作状態と第二の動作状態を行う水平期間をずらすことにより、パネル上では精度よく表示できる。

【0045】

【発明の実施の形態】本発明の実施の形態について図面を参照して以下に説明する。

【0046】[実施の形態1]本発明の第一の実施の形態について説明する。本発明の第一の実施の形態において、オフセットキャンセル機能を持つスイッチドキャパシタ型デジタルアナログコンバータ(「SC-DAC」という)は、前述した図13に示す構成からなり、アナログ入力としてレベル電源V1、V2と基準電源電圧Vrを持ち、入力デジタルデータのビット数と対応する比を持つ入力容量C0～Cnと、出力に接続される出力容量Cosを持つ。さらに、入力容量と出力容量を並列に接続した配線を反転入力とし、基準電源電圧Vrを非反転入力とする演算増幅器15と、入力デジタルデータに従ってレベル電源V1、2と入力容量との接続を変えるスイッチS1～Sn、SC-DACの動作状態を切り替えるSW1～SW5を備えている。

【0047】図13に示した従来のSC-DACの動作のタイミングチャートは、前述したように、図17に示されている。図17の出力タイミング信号は、液晶パネル負荷との接続に関するSW2を切り替えるタイミングを示す。SC-DAC状態切り替えスイッチ信号は、SW1、SW3、SW4、SW5の切り替えやオン／オフに関する信号のタイミングを示しており、このタイミングに従って、第一の動作状態と第二の動作状態が切り替えられる。第一の動作状態は前記の通り、前記演算増幅器15をボルテージフォロフとして用い、軽い負荷C0～Cn、Cosを駆動するため、演算増幅器15の出力が安定するまでに数 μ sの時間がかかる。従って、もしS-XGAパネルに合わせて、1水平期間を13 μ sとすれば、第二の動作状態は、10 μ s以下となるため、精度のよい電圧を液晶に印加することはできない。

【0048】本発明の第一の実施の形態における実施例1のタイミングチャートを図1に示す。この実施例1は、フレーム間の境界において通常の一水平期間の間隔よりもかなり長く時間が取れることを利用して、第一の動作状態を1フレームに一度のみ実行することで、他の各水平期間においては第一の動作状態を伴うことなく、第二の動作状態におけるデジタルデータに従ってスイッチの接続の変更を行う。この時、一水平期間中ほとんどの期間で第二の動作状態にすることができ、精度の高い電圧を液晶に印加するのに十分な時間がとれる。

【0049】以上の動作の内容は、従来、各水平期間において第一の動作状態で演算増幅器15のオフセット電圧に対応する電荷をSC-DACの各容量に蓄積し、第二の動作状態でデジタルデータに従って分配することでアナログ出力を電圧していたが、本発明の第一の実施の形態では、フレーム間に実行される第一の動作状態でSC-DACの各容量に演算増幅器15のオフセット電圧に対応する電荷を蓄積し、1フレームの間は、フレーム間に蓄積された電荷を各容量に分配することでアナログ電圧を出力するようにしている。

【0050】本発明の第一の実施の形態に従えば、S-XGAパネルに合わせて1水平期間を13 μ sとすると、各水平期間において第一の動作状態は必要なく、出力タイミング信号はデジタル

データの切り替えなどに $1\mu\text{s}$ 程度の時間幅を必要とするのみであるので、一水平期間 $13\mu\text{s}$ の内液晶に電圧を印加するのに $12\mu\text{s}$ が当てられるため、精度のよい電圧が液晶に印加することが実現できる。また、フレーム間に、前記第一の動作状態を実現する際には、フレーム間で十分時間がとれることを利用して、フレーム間の場合のみ水平期間を延ばせば、フレーム間での出力も精度のよい電圧を液晶に印加することができる。

【0051】本発明の第一の実施の形態のソースドライバは、図3に示すようなブロック構成を備え、これまでに使用されている出力タイミング信号に加え、外部からフレーム毎にSC-DACの動作状態を切り替える信号(状態切替え信号)を入力し、図4に示すような回路を用いることで実現できる。

【0052】図4に示した回路は、図1に示した実施例1の動作を実現する回路構成の一例である。出力タイミング信号とフレーム毎のSC-DACの動作状態を切り替える信号を入力とし、内部にNORゲートNOR1とインバータINV1を用いるだけの簡単な構成を持つ。

【0053】図5に、図4に示した回路の動作を説明するためのタイミングチャートを示す。短い幅を持つ出力タイミング信号IN1と、演算増幅器15(図13参照)が第一の動作状態におけるボルテージフォロウの出力が安定するほどの幅を持つフレーム毎の信号IN2をNORゲートNOR1の入力とする。フレーム毎のSC-DACの動作状態を切り替える信号がHで出力タイミング信号もHとなる信号を同時に入力するようなフレーム間の水平期間の場合には、フレーム毎のSC-DACの動作状態を切り替える信号の値を持つ出力O1が得られる。他の水平期間の場合には、フレーム毎のSC-DACの動作状態が切り替える信号がL固定で、出力タイミング信号がHとなる信号が入力となり、出力タイミング信号と同じ短い幅を持つ出力O1が得られる。

【0054】この出力O1を新たな出力タイミング信号とし、フレーム毎のSC-DACの動作状態を切り替える信号をそのままSC-DACの動作状態を切り替える信号とすれば、図1に示した本発明の第一の実施の形態の動作を実現することができる。

【0055】ただし、1フレームに一度行われる第一の動作状態において各容量に記憶されるオフセット電圧は、次フレーム間で実行される第一の動作状態まで精度よく記憶され続けなければ、SC-DACの出力電圧の精度の低下を引き起こし、表示パネルの品質を落とす。そのためには、記憶された電圧(電荷)が変化しないように、インピーダンスが高く、リークが小さなMOSTランジスタやメタル容量によってSC-DACを構成する必要がある。

【0056】本発明の第一の実施の形態の別の実施例の動作タイミングチャートを図2に示す。

【0057】図2に示す例は、図1に示す例と同様に、従来の出力タイミング信号に加え、数水平期間おきに前記第一の動作状態におけるボルテージフォロウの出力が安定する程度の幅を持つ信号を取り入れることで実現できる。ただし、ボルテージフォロウの出力が安定する程度の幅を持つ信号は、オフセットキャンセル機能を持つSC-DACの出力精度がリークのために低下しない水平期間毎にH期間を持つ。

【0058】この場合も、前記第一の動作状態におけるボルテージフォロウの出力が安定する幅を持つ信号が、H出力を持つ水平期間において前記第一の動作状態と第二の動作状態を実行し、L出力を持つ水平期間では第二の動作状態のみ実行する。さらに、この第一と第二の動作をともに実行する水平期間は、いつも同じ液晶パネル上の行のTFTがオンする水平期間とするのではなく、フレーム毎に液晶パネル上の異なる行のTFTをオンする水平期間とする。

【0059】以上の動作を行うことにより、1秒間で60フレーム動作するようなパネルの場合、液晶パネル上の任意の行は、(1)1秒間に、ある1フレームのみ第一の動作状態と第二の動作状態を実行し、他の59フレームでは第二の動作状態のみ実行する、又は、(2)60フレーム全ての場合に第二の動作状態のみ実行する、のいずれかとなる。上記(2)の場合には、液晶に電圧を印加する時間が長いので精度の高い電圧を液晶に印加できる。

【0060】上記(1)の場合でも、第一と第二の動作状態を行うフレームにおいては、精度がいづらか落ちると考えられるが、他のフレームでは十分に印加時間を取れるので精度の高い電圧を液晶に印加することができ、表示パネル上での表示品質の低下を避けることができる。

【0061】図2に示した例においても、動作状態を変える信号は外部から取り込むため、図4に示した回路構成にては、タイミング動作を実現できる。

【0062】図1に示した例では、SC-DAC内の差動増幅器のオフセットキャンセルを記憶する第一の動作を1フレームに一度実施しているが、回路のリークが出力の精度を落とさない程度であることが条件であった。しかし、実際にはいづらかのリークが存在する可能性はあり、1フレーム毎では十分な精度が得られないことが考えられる。一方、図2に示した例においては、リー

クに合わせて1フレーム内の数水平期間のみで第一の動作を行うことで前記リークの問題を避けることができるという利点がある。

【0063】[実施の形態2]本発明の第二の実施の形態のブロック構成を図6に示す。

【0064】前記第一の実施の形態では、外部からの信号に従って第一の動作状態を行うが、この実施の形態においては、装置内部に出力タイミング信号をカウントする回路6を設けることにより、外部か1フレームに一度のSC-DACの状態を切り替える信号を受けることなく、前記第一の実施の形態の実施例1の動作を行い、他の各水平期間では第二の動作状態のみを実行することで、短い水平期間で精度のよい電圧を液晶に印加することが実現できる。

【0065】この実施の形態における回路構成の一例を、図4、図7乃至図9に示す。

【0066】図7を参照すると、出力タイミング信号の短い幅をSC-DACのボルテージフォロウ出力が安定する幅を持つように波形を変形する回路7(詳細は図8参照)と、その変形した波形をカウントする回路8(詳細は図9参照)と、前記2つの回路の出力のNANDを取り反転した信号と外部からの出力タイミング信号を2入力とする前記第一の実施の形態で説明した新たな出力タイミング信号を生成する回路5(図4参照)と、から構成されている。

【0067】前記出力タイミング信号の短い幅を前記第一の実施の形態におけるSC-DACのボルテージフォロウ出力が安定する幅を持つように波形を変形する回路7の一例を図8に示す。

図8を参照すると、この回路7は、遅延回路とNORゲートを用いており、この回路構成の利点は、構成が簡単なこと、及び、自由に変形後の波形の幅が選択できる点である。NORゲートを2入力とすれば前記出力タイミング信号の幅の2倍程度までの幅までしか変形できないが、NORゲートを3入力、4入力とするとともに遅延回路も増やしていけば、前記タイミング信号の3倍、4倍の幅まで波形を変形することができる。

【0068】幅を変えた波形をカウントする回路8は、トグルフリップフロップとNORゲートから構成されている。

【0069】S-XGAパネルの場合の前記出力タイミング信号の幅を変えた信号のカウント回路8の回路構成の一例及びその動作タイミングチャートを図9に示す。

【0070】S-XGAパネルの場合の画素数は1024×768であるため、1フレームは768水平期間となる。従って、1フレームに一度前記第一の動作状態を実現するには、カウンタは2進カウンタで10ビット分必要とし、767回前記出力タイミング信号の幅を変えた信号をカウントした場合のカウンタの出力を検出する。ただし、トグルフリップフロップ9を使用して検出した信号の幅は1水平期間の幅となる。

【0071】図7に示すように、出力タイミング信号の幅を変えた信号を生成する回路7の出力と前記出力タイミング信号の幅を替えた信号をカウントする回路8の出力をNANDゲートとインバータに入力することにより、SC-DACの状態切り替え信号を生成し、SC-DAC状態切り替え信号と出力タイミング信号を2入力NORゲートの入力にすることで、本発明の第二の実施の形態における外部から1フレームに1回入力するSC-DACを第一の動作状態にする信号に対応する信号が生成できる。

【0072】この信号を、前記第一の実施の形態で説明した新たな出力タイミング信号を生成する回路と同じ回路に、前記出力タイミング信号とともに入力することにより、前記第一の実施の形態の実施例1と同じ動作を実行することができる。従って、本発明の第二の実施の形態においては、外部から特別な信号を取り入れることなしに、短い水平期間で、精度の高い電圧を液晶に印加することができる。

【0073】本発明の第二の実施の形態の別の例について説明する。この例では、カウント回路8のカウント数をSC-DAC回路のリークが出力精度を落とさない数水平期間分とすることで、第一の状態の前記第一の実施の形態の実施例2と同じ動作をすることができる。従って、本発明の第二の実施の形態の別の例においては、外部から特別な信号を取り入れることなしに、前記実施の形態の実施例2と同程度の短い水平期間で、精度の高い電圧を液晶に印加することが可能となる。

【0074】

【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

【0075】本発明の第一の効果は、TFTアクティブマトリックス型液晶表示装置駆動用のソースドライバのオフセットキャンセル機能を持つSC-DAC回路において精度を落とすことなく出力する水平期間を短縮できる、ということである。

【0076】その理由は、本発明においては、1フレームまたは数水平期間に一度オフセットキャ

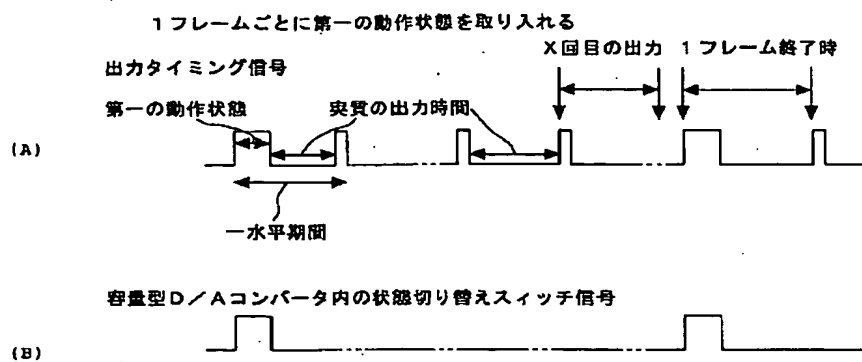
ンセル動作を行うため、他の水平期間では液晶に電圧を印加する時間を長くとれるためである。

【0077】本発明の第二の効果は、従来取り入れていた出力タイミング信号のほかに新たな信号入力を用いずとも、第一の効果を実現できる、ということである。

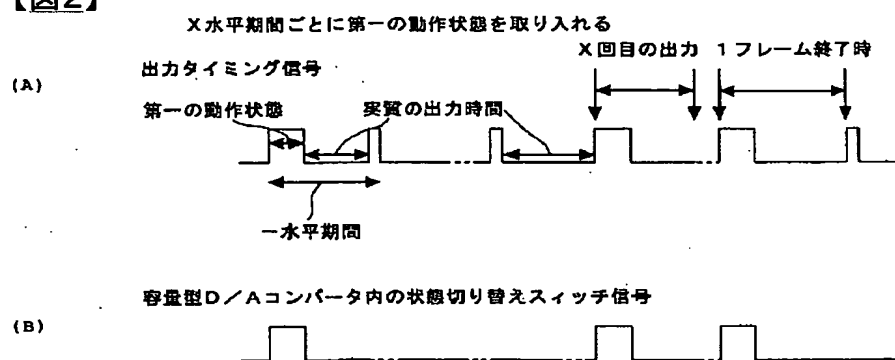
【0078】その理由は、本発明においては、ソースドライバ内部に出力タイミング信号の幅を変える回路と出力タイミング信号をカウントする回路、新たな出力タイミング信号を生成する回路を設けたためである。

図面

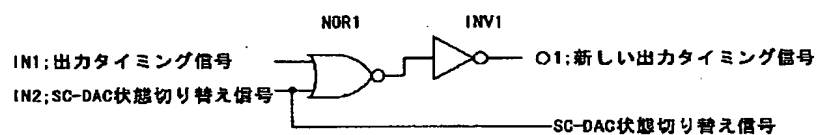
【図1】



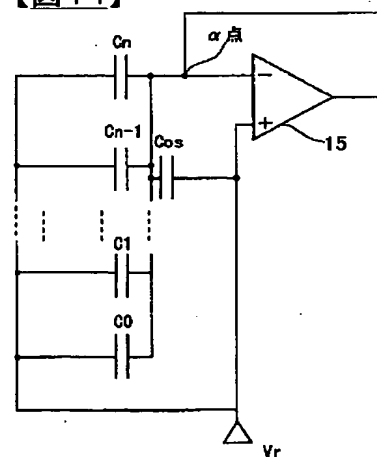
【図2】



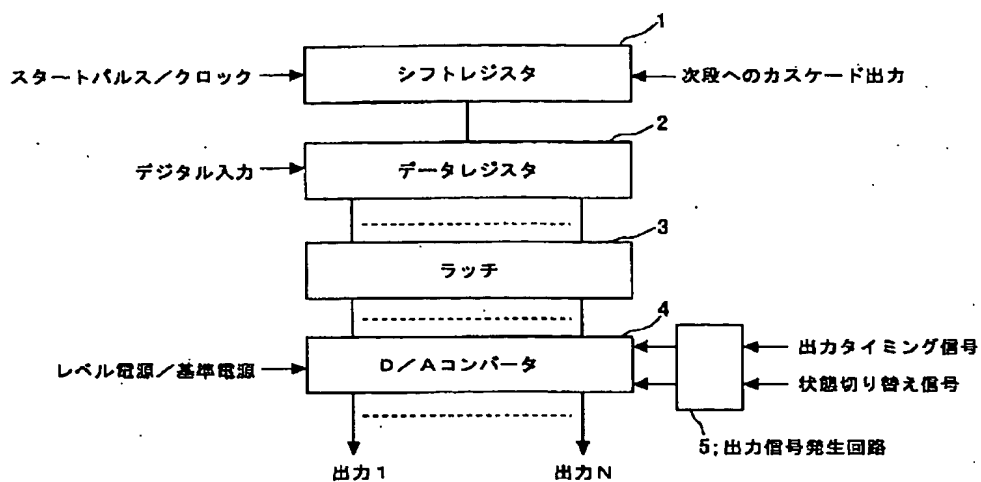
【図4】



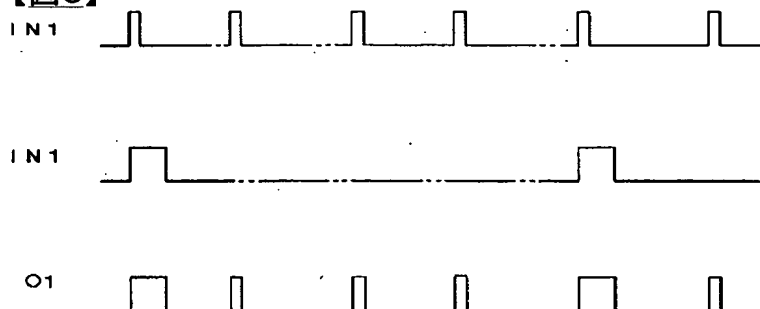
【図14】



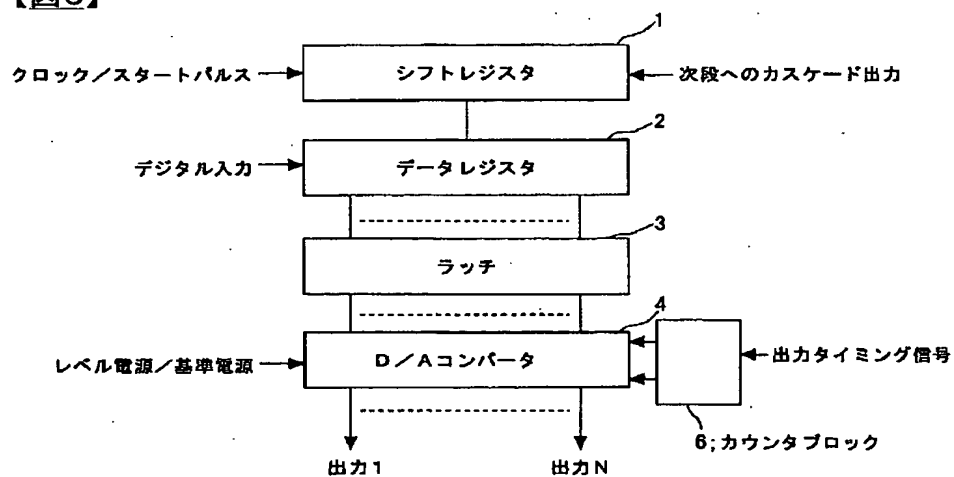
【図3】



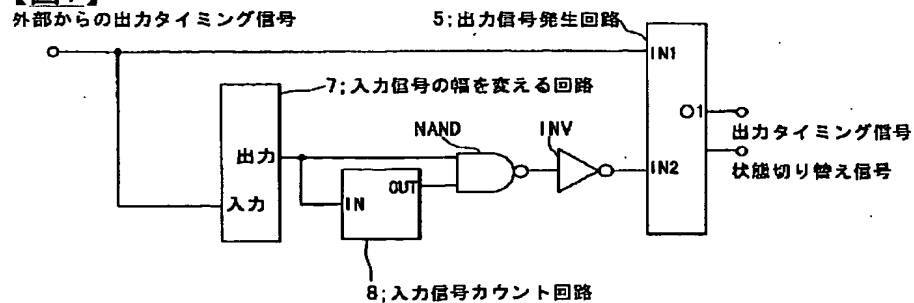
【図5】



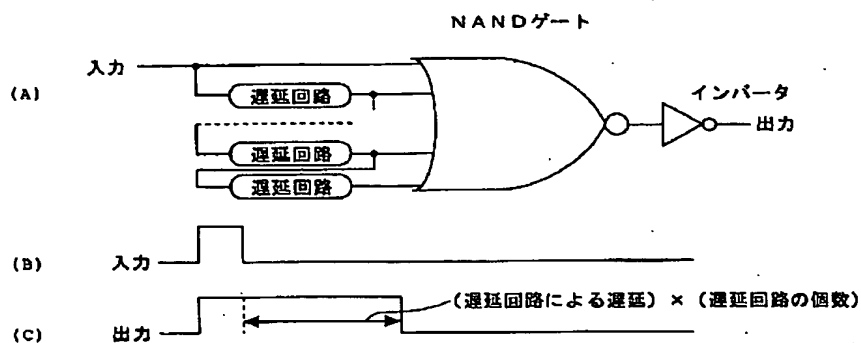
【図6】



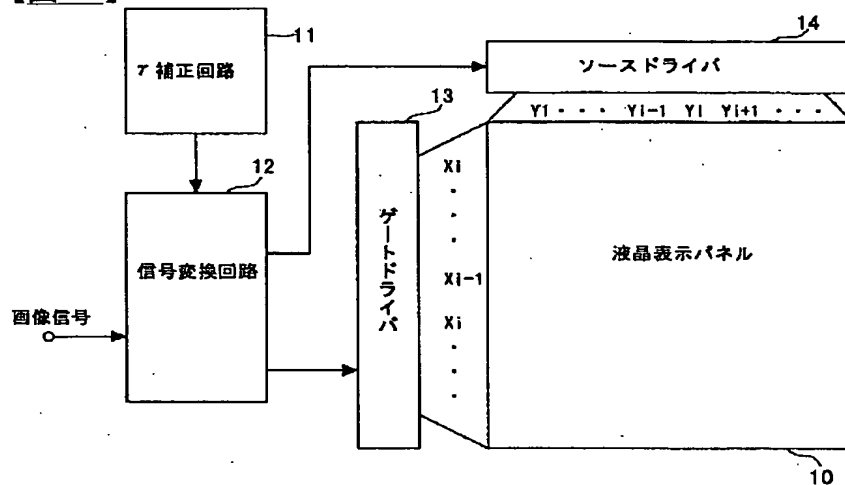
【図7】



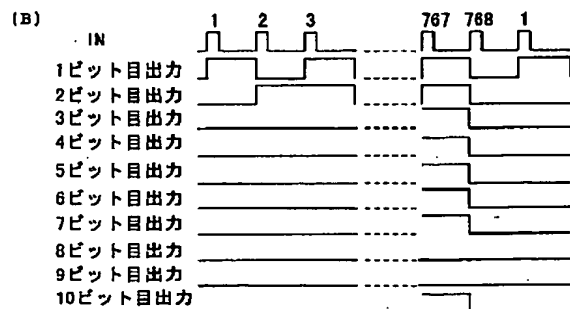
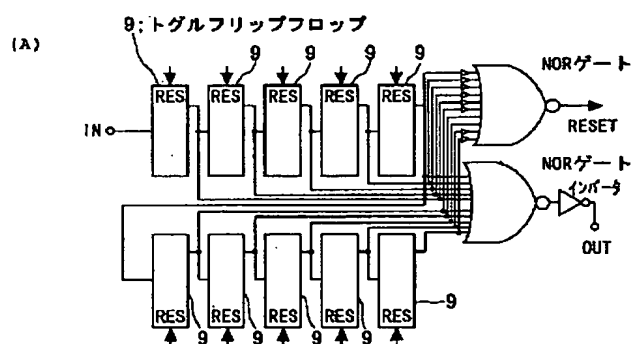
【図8】



【図10】

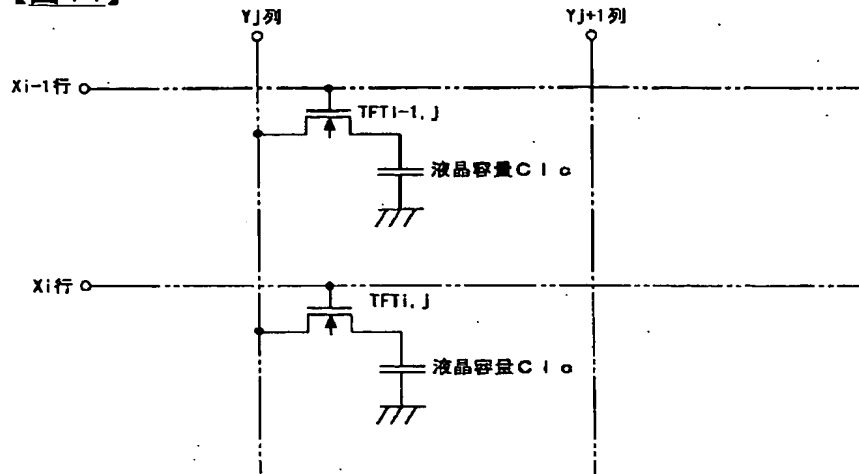


【図9】

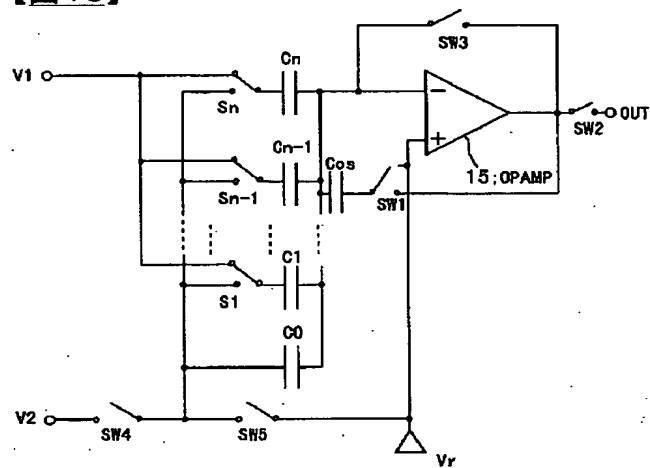


OUT

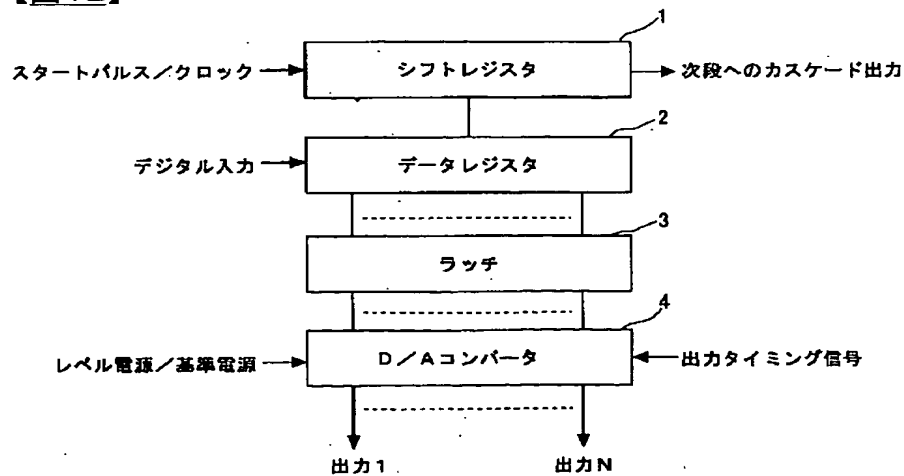
【図11】



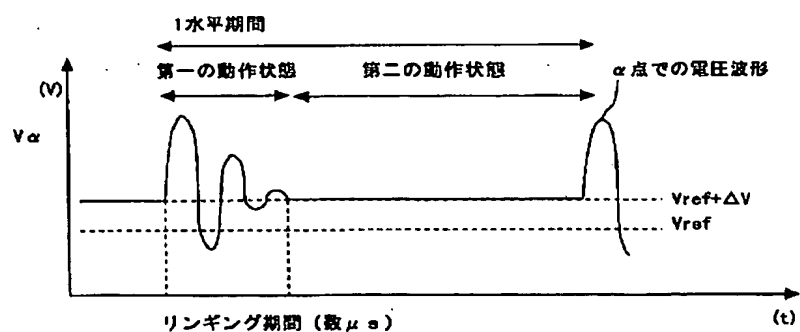
【図13】



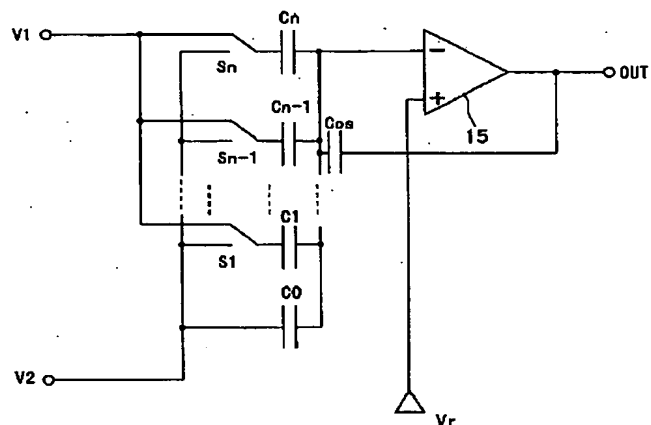
【図12】



【図15】



【図 16】



【図 17】

